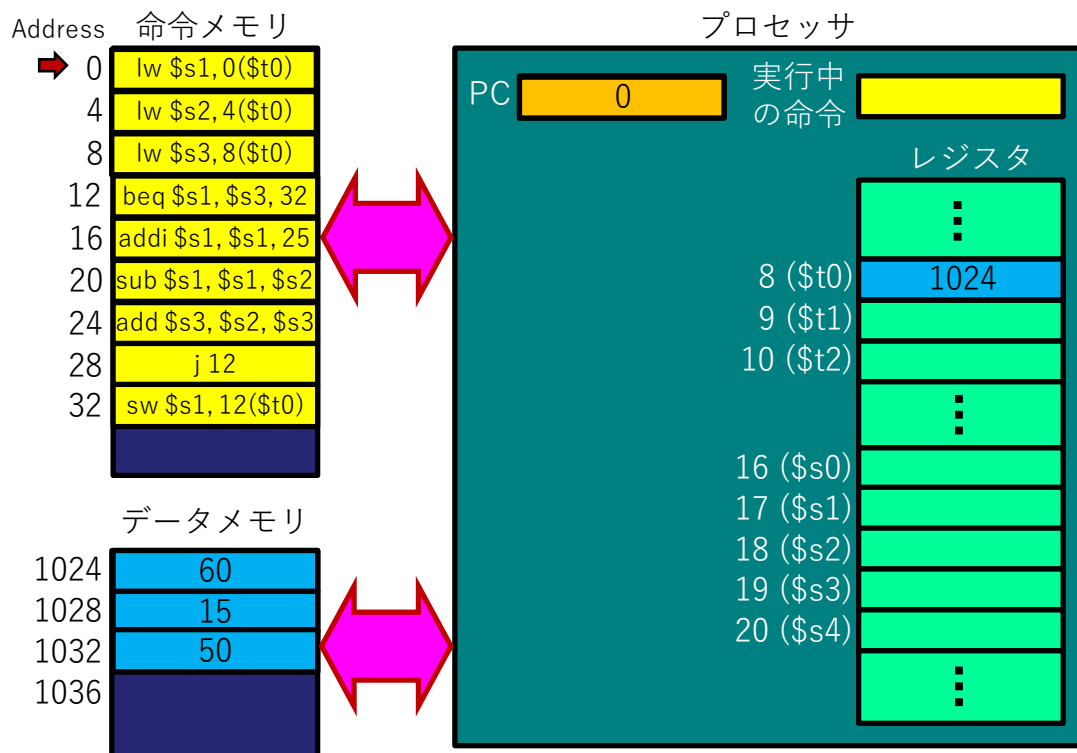


FS 基礎 1 <アーキテクチャ編> レポート課題

■ 課題 1

命令メモリ・データメモリ・プロセッサにより構成されたコンピュータが、以下の図の状態においてプログラムを実行する。なお、このプロセッサは MIPS 命令セットアーキテクチャの命令を解する。この時、次の設問に答えよ。

- ① 命令<addi \$s1, \$s1, 25>をアセンブルせよ。
- ② 本プログラムは最終的にデータメモリに値が書き戻される。書き戻される値と、その値が格納されるデータメモリのアドレスを示せ。
- ③ 本プログラムの実行をパイプライン化し、高速化することを考える。本プログラムにおいてストールが発生するアドレス区間を示し、その原因と対応策を述べよ。



■ 課題 2

- ① メモリアクセスの時間的局所性と空間的局所性について、一つの疑似コードを用いてそれぞれ簡潔に説明せよ。
- ② 以下の順序でメモリアクセスを行うプログラムが存在したとする。ただし、下記の数字はメモリアドレス（単位はバイト）を表しており、各メモリアクセスは4バイトのデータに対するアクセスとする。

64 → 72 → 80 → 88 → 64 → 68 → 88 → 72 → 80 → 96 → 64

このプログラムをキャッシュ付きのプロセッサで実行した時のキャッシュヒット回数を求めよ。ただし、キャッシュはフルアソシアティブ方式（任意のエントリにキャッシュブロックを配置できる方式）を採用しており、キャッシュのエントリ数は4個、キャッシュブロックは8バイトである（つまり4バイトのデータを2つ格納できる）ものとする。また、キャッシュブロックの置き換えはLRU（Least Recently Used）法によって行うものとする。レポートにはキャッシュヒット回数だけでなく、メモリアクセスごとのキャッシュの状態（各メモリアクセスが行われた際にどのキャッシュブロックがキャッシュに配置されているか）も示せ。

参考までに、上記のキャッシュに対して 8 → 16 → 24 → 32 の順序でメモリアクセスが行われた後のキャッシュの状態を以下に示す。

	キャッシュブロック	
エントリ 1	アドレス 32 のデータ	アドレス 36 のデータ
エントリ 2	アドレス 24 のデータ	アドレス 28 のデータ
エントリ 3	アドレス 16 のデータ	アドレス 20 のデータ
エントリ 4	アドレス 8 のデータ	アドレス 12 のデータ

■ 提出期限

～7/29（金）まで。

yamaki@uec.ac.jp 宛にメールで提出。

以上