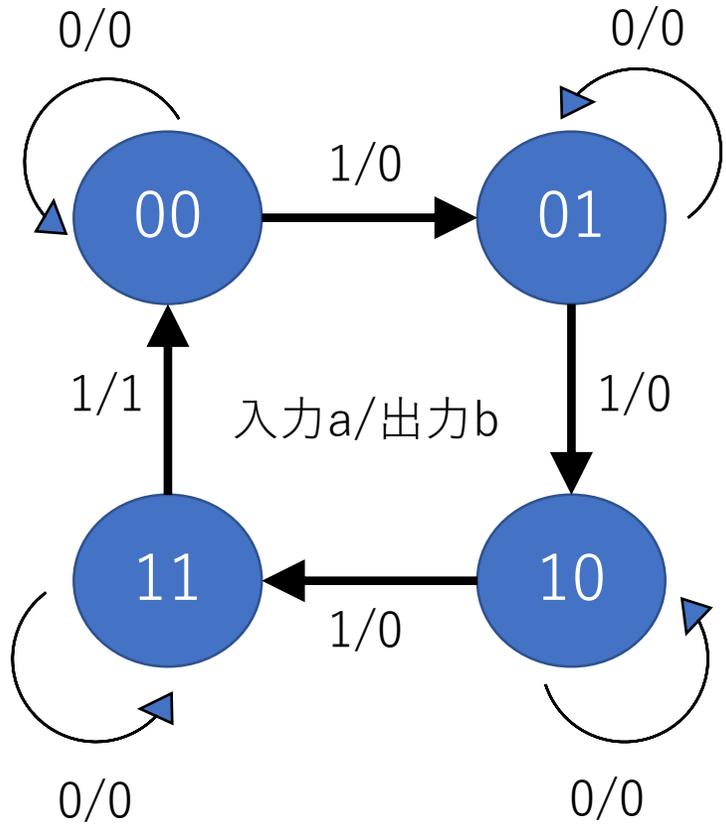


問題4 ヒント その1

■ まず状態遷移図と状態遷移表を作成



状態遷移表

a	s1	s0	b	s1'	s0'
0	0	0	0	0	0
1	0	0	0	0	1
0	0	1	0	0	1
1	0	1	0	1	0
0	1	0	0	1	0
1	1	0	0	1	1
0	1	1	0	1	1
1	1	1	1	0	0

状態遷移図

問題4 ヒント その2

- 状態遷移表から各出力ごとのカルノー図を作成
- そこから各出力の論理式を算出
- この時点でverilogでの設計はできるはずです。
(各論理式をassignで表現すればいい)

bのカルノー図

a \ s1s0	00	01	11	10
0	0	0	0	0
1	0	0	1	0

b =

s1'のカルノー図

a \ s1s0	00	01	11	10
0	0	0	1	1
1	0	1	0	1

s1' =

s0'のカルノー図

a \ s1s0	00	01	11	10
0	0	1	1	0
1	1	0	0	1

s0' =

問題4 ヒント その3

- 回路図を描くなら以下ようになります.
- これに前ページの論理式を当てはめる

