

## 誘導結合型三次元積層マルチコアプロセッサにおける キャッシュ間通信手法の検討

松村 正隆<sup>†</sup> 近藤 正章<sup>††</sup> 松谷 宏紀<sup>†††</sup> 和田 康孝<sup>††††</sup> 本多 弘樹<sup>†</sup>

<sup>†</sup> 電気通信大学 大学院情報システム学研究所 〒182-0021 東京都調布市調布ヶ丘 1-5-1

<sup>††</sup> 東京大学大学院 情報理工学系研究科 〒113-8656 東京都文京区本郷 7-3-1

<sup>†††</sup> 慶應義塾大学 理工学部 〒223-8522 神奈川県横浜市港北区日吉 3-14-1

<sup>††††</sup> 早稲田大学 基幹理工学研究科 〒169-8555 東京都新宿区大久保 3-4-1

E-mail: <sup>†</sup> matsumura@hpc.is.uec.ac.jp

あらまし 近年、半導体技術の進歩により Network-on-Chip (NoC) の三次元化が可能となった。特に積層したチップ間をコイルによってワイヤレスに接続する誘導結合型三次元積層 (ThruChip Interface : 以下 TCI) は、三次元積層技術の主流である Through-Silicon Via (TSV) と比較して低コストで高い柔軟性を持つために注目されている。また、TCI は通信経路上にチップの集積回路等があっても通信が可能のため、チップのどこにでも配置が可能という大きな特徴がある。本稿では TCI の特徴を生かし、垂直方向の通信をルータのみに限らず、キャッシュ間でも行う通信手法を検討する。キャッシュ面積はルータに比して大きく、その分伝送用コイル数を多く敷設できるために高速な通信が可能となる。この手法を実装した三次元 NoC をシミュレータにより評価し、性能について従来の三次元 NoC と比較した。その結果、従来の三次元 NoC に対して実行時間を平均 5.6% 短縮できることがわかった。

**キーワード** 3次元積層, ネットワークオンチップ, マルチコアシステム, TCI

## A Cache to Cache Communication Strategy for Wireless 3D Multi-Core Processors

Masataka MATSUMURA<sup>†</sup> Masaaki KONDO<sup>††</sup> Hiroki MATSUTANI<sup>†††</sup>

Yasutaka WADA<sup>††††</sup> and Hiroki HONDA<sup>†</sup>

<sup>†</sup> Department of Information System Fundamentals, The University of Electro-Communications  
1-5-4 Chofugaoka, Chofu-shi, Tokyo, 182-0021 Japan

<sup>††</sup> Graduate School of Information Science and Technology, The University of Tokyo  
7-3-1 Hongo, Bunkyo-ku, Tokyo, 113-8656 Japan

<sup>†††</sup> Department of Information and Computer Science, Keio University  
3-14-1 Hiyoshi, Kouhoku-ku, Yokohama, Kanagawa, 223-8522 Japan

<sup>††††</sup> School of Fundamental Science and Engineering, Waseda University  
3-4-1 Ookubo, Shinjuku-ku, Tokyo, 169-8555 Japan

E-mail: <sup>†</sup> matsumura@hpc.is.uec.ac.jp

**Abstract** The inductive-coupling 3D chip stacking technique has several advantages over TSV-based 3D stacking. For example, its manufacturing cost is less expensive than TSV-based stacking. Moreover, inductive coupling coils can be placed on top of logic gates. Making good use of this feature, we investigate a cache to cache communication mechanism to improve manycore processor performance. We evaluate the proposed mechanism with a manycore simulator and results reveal that it improves performance by 5.6% on average compared to a conventional router-based 3D stacked manycore processor.

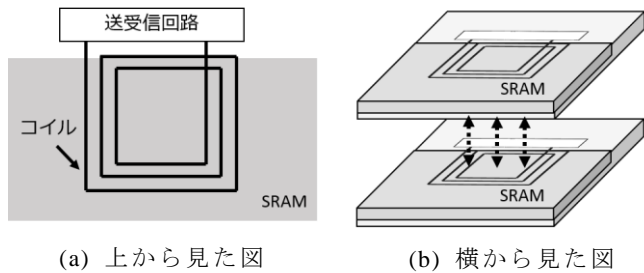
**Keywords** 3-D Stacking, Network-on-Chip, Multi-core System, TCI

### 1. まえがき

半導体技術の進歩により、複数コアをもつ CPU が一般化している。また、スケーラビリティの観点や単純なコアの電力面での利点から、コアやキャッシュなど

の部品をタイル状に実装し、それらをルータで繋ぐ Network-on-Chip (NoC) を用いたメニーコアプロセッサが特に注目されている。

NoC 型メニーコアプロセッサのコア数は時を経るご



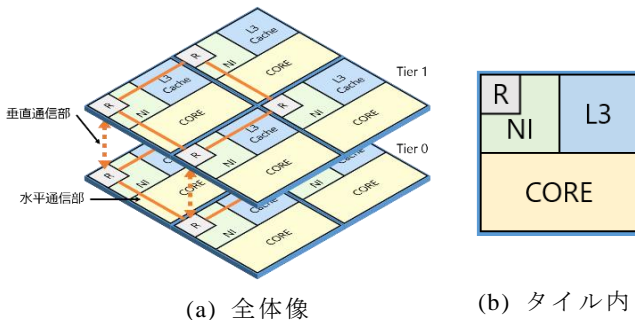
(a) 上から見た図 (b) 横から見た図  
**図 1 SRAM上に配置されたTCI断面図**

とに増大しており、最近では配線遅延の削減のために複数枚のチップを垂直方向に重ね合わせる NoC の三次元化が考案されている[1]。チップの積層によって個々のチップの面積を抑えつつ、積層方向の距離が短いことで大規模化にともなう配線遅延を削減することが可能となる。

三次元 NoC では、チップ間をワイヤボンディングで結合するもの、マイクロバンプで結合するもの、ワイヤレス方式で接合するもの、Through-Silicon Via (TSV) で接合するものなどがあり、現在の主流は次世代 DRAM にも採用された TSV[2]等の有線接続を行う方式である。しかし、TSV はチップの製造過程に新たな工程を追加する必要や、貫通ビアを開けるのに高い精度が必要なことなどから、製造コストが従来よりも大幅に高くなる問題点がある。

一方、ワイヤレス接続方式によるチップ積層も研究が進んでおり、中でも誘導結合方式 (ThruChip Interface: 以下 TCI) を用いたシステムは既に試作もされ、実用段階に達している[3]。TCI はチップの配線層の一部にコイルを設置し、チップ間をコイルによる誘導結合で通信する方式である。TSV のように特別な製造工程を追加する必要がなく、通常の半導体プロセスで比較的安価に製造できる上、配線がチップ間で固定されないためにチップの追加、削除、入れ替えを柔軟に行える利点がある。更に、TCI は図 1 に示す通りに、通信経路上に SRAM のようなロジックが存在しても通信が可能[4]という大きな特徴があり、TSV では通信経路の設置が難しい場所においても TCI ならば積層方向の通信が可能となる。

そこで、我々は、将来のメニーコアプロセッサとして誘導結合を用いた三次元 NoC 型メニーコアプロセッサを検討する。三次元 NoC においては同一チップ内、すなわち水平方向の通信よりも垂直方向の通信が低速であり、性能上のボトルネックとなりやすい。そこで、ルータでの通信だけでなく、キャッシュ間にも誘導結合を用いた垂直方向のリンクを設け、直接通信を行う手法を検討する。ルータに比べて面積の大きなキャッシュ上には多数のコイルを配置可能と考えられることから、ルータのみに比べて高いバンド幅を活用した通



(a) 全体像 (b) タイル内

**図 2 三次元 NoC 概要**

信を行うことができ、性能の向上が見込める。

本稿では、1) ルータのみを TSV で接合した三次元 NoC、2) ルータのみを TCI で接合した三次元 NoC、3) キャッシュ上での垂直方向通信を加えた NoC の 3 タイプの三次元 NoC をシミュレータにより評価し、性能の比較と解析を行う。

## 2. 三次元積層型メニーコアプロセッサ

本章では、ベースとする三次元 NoC 型のメニーコアプロセッサ構成について述べる。各プロセッサコアはルータのみによって接続され、水平方向の通信は従来通りのハードワイヤで、垂直方向の通信は TSV、TCI の 2 方式を用いる構成を想定する。

### 2.1. 基本構成

三次元 NoC は図 2 (a) のように NoC のチップを複数枚積層したものであり、各チップを下から順番に Tire0, Tire1, ... と呼ぶ。また、チップに搭載されるタイルの場所に依じてタイル 0, タイル 1, ... と呼ぶ。

タイル内のアーキテクチャは図 2 (b) のように外部タイルと接続するルータ (R)、タイル内のシステムリソース同士を接続するネットワークインタフェース (NI)、コア・非共有 L1・L2 キャッシュ (Core)、共有 L3 キャッシュ (L3) から構成される。L3 キャッシュは NoC 全体で共有されており、更に DRAM のデータがどのキャッシュラインに入るかは静的に決定される。タイル内で必要とするデータが外部のタイルに存在する場合、データはルータを介して伝送される。

### 2.2. トポロジ

三次元 NoC のトポロジは様々なものが提案されているが[5]、本稿で想定する三次元 NoC トポロジは二次元 NoC の Mesh トポロジを拡張したものである。三次元 Mesh トポロジは、X 軸と Y 軸による二次元 Mesh トポロジに Z 軸を加えて構成される。ルーティングアルゴリズムは XY アルゴリズムを拡張し、パケットが X 軸、Y 軸の移動を終えた後に Z 軸の移動を始める XYZ アルゴリズムとする。TCI での Z 軸の移動は図 3 に示すようなチップ間ごとの P2P 方式で行われ、積層

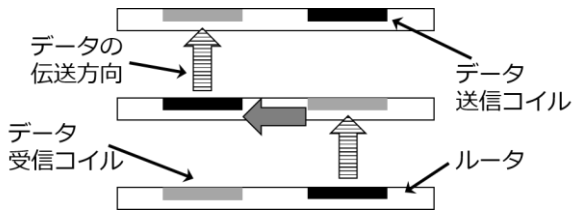


図3 ルータにおけるコイル配置図

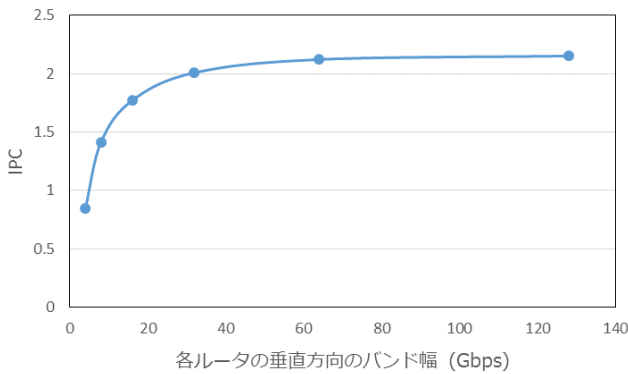


図4 バンド幅変化に伴う IPC の様子

枚数-1のホップ数がかかる。また、TSVでのパケットの移動はバス方式で行われるが、伝送距離に応じて配線遅延がかかる。

### 2.3. 誘導結合型三次元積層 NoC の問題点

三次元 NoC では、垂直方向のバンド幅が水平方向と比較して低くなってしまふ。例として Intel が発表した 80 タイルの NoC では、ルータの大きさはおよそ 500um × 800um である [6]。この面積の中に TSV や TCI といった垂直方向の通信機構を組み込むと、通信バンド幅は水平方向と比較して制限されたものになる。実際に垂直方向のバンド幅がシステムの性能にどのような影響を及ぼすかを図 4 に示す。図 4 は Tier あたり 4 個のタイルを 2 枚積層し、4.1 節に示すパラメータで構成した三次元 NoC で Splash-2 fft ベンチマークの IPC が各ルータの垂直方向の通信速度によってどのように変わるかを示している。なお、水平方向通信のバンド幅は 128Gbps で固定している。図 4 を見ると、垂直方向のバンド幅が水平方向のバンド幅に対して 4 分の 1 となる 32Gbps では IPC が 10% ほど低下し、それ以下の速度になると更に急激に低下しているのが分かる。これより、垂直方向のバンド幅が性能のボトルネックになっていることが考えられる。

## 3. 垂直方向キャッシュ間通信の導入

### 3.1. アーキテクチャの概要

2.3 節に示した通り、ルータの面積の関係から三次元積層 NoC では水平方向の通信速度に比べ垂直方向の通信速度が遅いため、システムのボトルネックとな

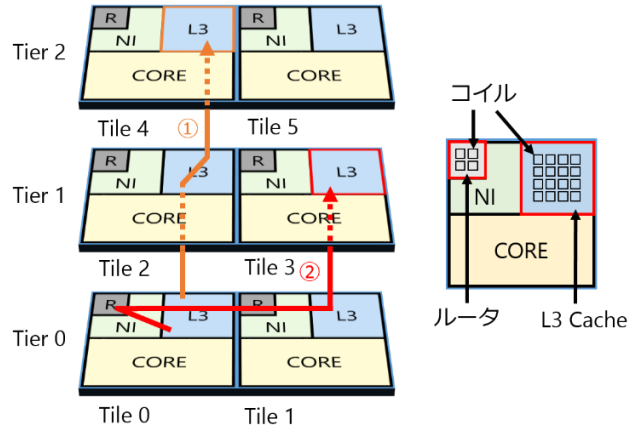


図5 提案手法を使用する経路

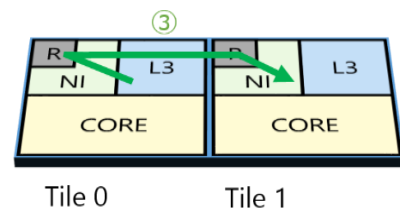


図6 提案手法を使用しない経路

表1 パケットの通信経路

伝送ケース	送信元		中継		受信先	
	タイル名	Tier名	タイル名	Tier名	タイル名	Tier名
1	タイル 0	Tier 0	タイル 2	Tier 1	タイル 4	Tier 2
2	タイル 0	Tier 0	タイル 1	Tier 0	タイル 3	Tier 1
3	タイル 0	Tier 0			タイル 1	Tier 0

る。そこで、データパケットが垂直方向のホップを行う場合、ルータのみではなく新たにキャッシュ上にコイルを敷設し、それを用いて通信を行う手法を検討する。

また、キャッシュ面積について考えると、Intel の Core i7 を例にとるとコアと同等の面積を占めるほど巨大である。そのため、2.3 節で示したルータの面積と比べて垂直方向の通信に十分なバンド幅が得られると考えられる。

### 3.2. パケットの通信経路

ネットワークを流れるパケットは 2 種類あるが、コントロールパケットはルータのみを介して送受信する。一方データパケットの通信経路としては、図 5、図 6 と表 1 に示すように 3 通りが考えられる。図中での①~③の経路が表 1 での伝送ケースの番号に対応しており、表中で灰色に塗られているのが提案構成の経路を利用するタイルである。それぞれのケースについて次に説明する。

- 異なる Tier 間でのパケット伝送の場合：最初から最後のホップまで提案手法の経路を通る。
- 始めに同じ Tier 内で伝送後、垂直方向の伝送を行う場合：同じ Tier での通信にはルータを用いる

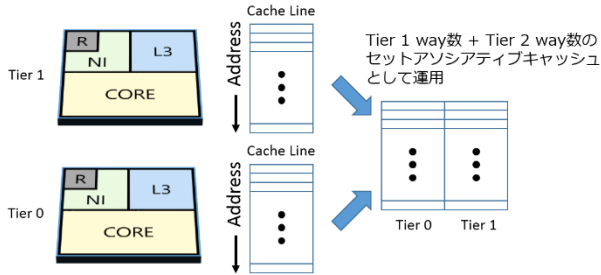


図 7 提案手法の拡張例

が、垂直方向の通信には提案手法の経路を通る。

- 3) 同じ Tier 内でのパケット伝送の場合：従来と同じくルータを用いる経路を通る。

### 3.3. 垂直方向のキャッシュ間通信を利用したアーキテクチャ拡張

提案構成を用いることで、垂直方向に存在するキャッシュに対してはルータを経由せず、高速に直接アクセスが可能となる。この利点を生かしたキャッシュアーキテクチャの拡張も考えることができる。例えば、図 7 に示すようにそれぞれ異なる Tier に存在するキャッシュを一つのセットアソシアティブキャッシュのように扱い、分散共有キャッシュとしてではなく、連想度の高い共有キャッシュとして扱う等の拡張が考えられる。これによりキャッシュアクセスレイテンシの削減が可能である。なお、このようなキャッシュアーキテクチャの拡張構成の検討、および評価は今後の課題である。

## 4. 評価

次に示す手法 1) ルータのみを TSV で接合した三次元 NoC, 2) ルータのみを TCI で接合した三次元 NoC, 3) キャッシュ上での垂直方向通信を加えた NoC, の 3 タイプで構成した三次元 NoC に対し、実際の積層チップを想定したシミュレータを用いてベンチマークの実行時間を評価した。

### 4.1. 評価環境

タイルにおけるパラメータは表 2 の値を使用した。TCI の通信速度は Tier 間の距離に反比例するが、今回の実験に用いた値は TSV 実装の厚みとしてごく一般的である 30um と、接着剤の 7.5um を足した 37.5um とした。更にルータのサイズを 2.3 節で示した Intel の 80 タイル NoC[6]の 500um × 800um より一回り大きい 675um × 675um とし、そこに 9 個のコイルを敷設すると、コイルのサイズは 1 個あたり 225um × 225um となる。この条件で 1 チャンネルあたり 8Gbps の伝送速度が得られる。これより、クロック同期用の 1 チャンネルを除く計 8 チャンネルでは 64Gbps の伝送速度となり、受信用と送信用でそれぞれ 32Gbps の帯域とした。

表 2 評価パラメータ

CPU Frequency	1 GHz
L1 Cache (Private)	64 kB
L2 Cache (Private)	512 kB
L3 Cache (Shared)	2 MB
DRAM Bandwidth	27 Gbps
Bandwidth (2D)	128 Gbps
Bandwidth (TSV Router)	64 Gbps
Bandwidth (TCI Router)	32 Gbps
Bandwidth (Cache to Cache)	128 Gbps

表 3 タイル構成

1Tier のタイル数	積層枚数	総タイル数
4	2	8
4	4	16
8	2	
8	4	32
16	2	

一方、TSV の通信速度は 1 チャンネル 200Mbps[7]の 13um ピッチで敷設が可能[8]だが、ルータのロジックゲートが存在する部分には敷設できない。そのため、TCI で設定したルータの面積から Intel の 80 タイル NoC 本来のルータサイズを引いた面積を TSV に割り当て、

$$\frac{675um \times 675um - 500um \times 800um}{13um \times 13um} = 329ch$$

の 329 チャンネルで 65.8Gbps の帯域とした。

また、DRAM コントローラは最下層の四隅に配置し、タイルの構成パターンは表 3 の値を使用した。

これらの構成の三次元 NoC に対し、Sniper[9]を用いてシミュレーションを行った。

使用したベンチマークは Splash-2 に含まれるアプリケーション 7 種類で、コア数分のスレッドで動作するコード部分の実行時間を測定した。

### 4.2. 評価結果

TSV を用いた三次元 NoC 型メニーコア(TSV) に対する、ルータのみを TCI で接合した場合(TCI-R)、キャッシュ上での垂直方向通信を加えた場合(TCI-R+C)の相対実行時間を図 8 に示す。図中の横項目軸はタイル構成を示しており、“(x 軸方向のタイル数)\_(y 軸方向のタイル数)\_(積層枚数)” となっている。例えば“2\_4\_2”の場合、タイルが x 軸方向に 2 枚、y 軸方向に 4 枚で 1Tier あたり 8 個のタイルがあり、それを 2 枚積層している構成を示している。図 8 より、TSV に比べてルータのみを TCI で接合した場合は大きく性能が低下してしまっている場合が多い。一方で、キャッシュ上での垂直方向通信を加えることで、評価の対象としたほぼ全てのアプリケーションで TSV と同等の

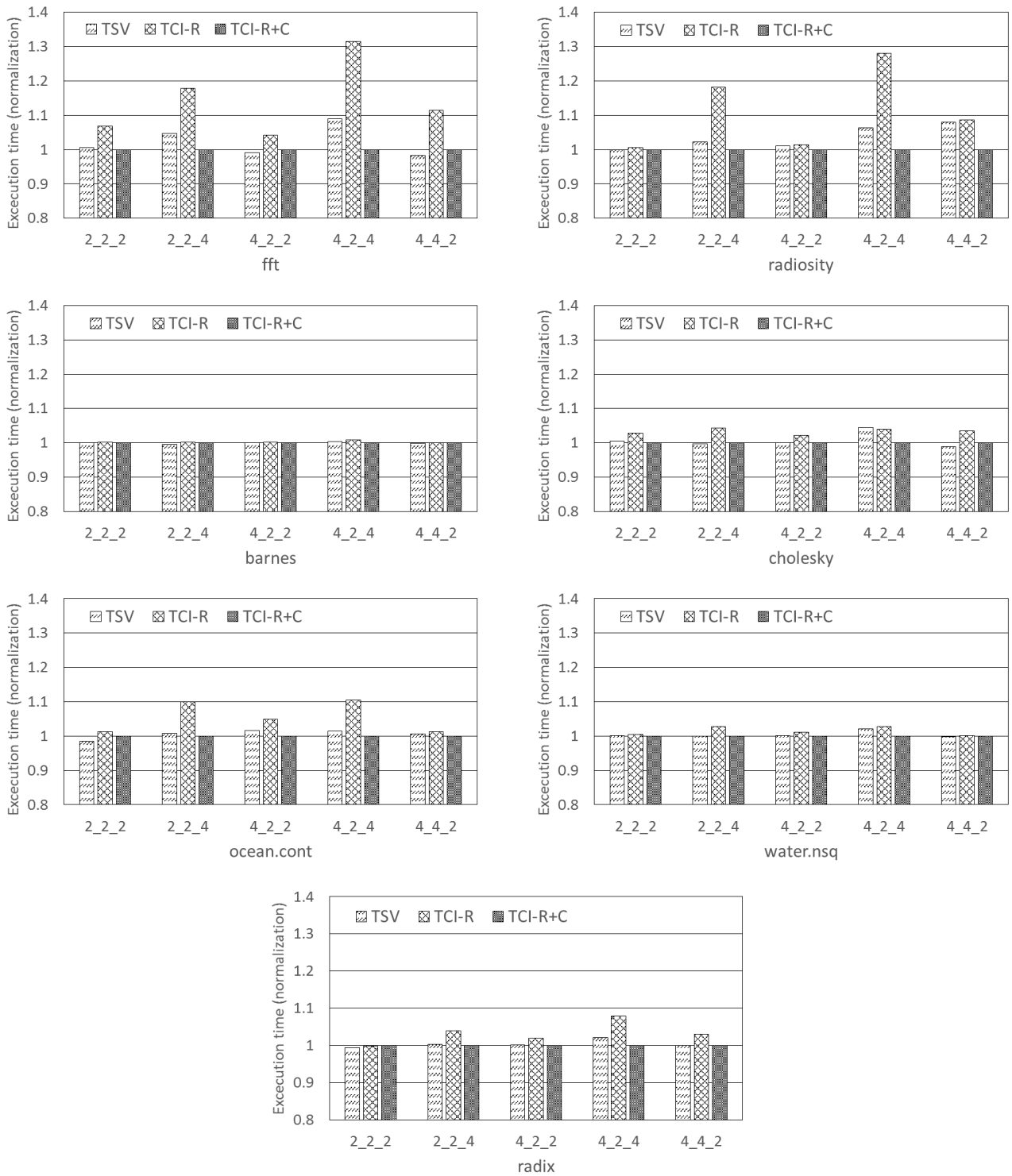


図 8 相対実行時間比較

性能となったことが確認できる．全体としてはルータのみを TCI で接合した三次元 NoC に対し，提案手法が平均 5.6% の実行時間短縮を果たしており，TSV に対しては検討手法が平均 1.1% の実行時間短縮となった．

提案手法が最も効果を発揮したアプリケーションは `fft` で，TCI 接合の三次元 NoC に対して提案手法が平均 14.3% の実行時間短縮を果たしている．これは，`fft` が

アプリケーション中で最も頻繁に外部タイルとの通信を行うこと，全てのタイルに均等にアクセスするパターンが多いこと [10] により，提案手法の経路が効率よく使用されたためと推測する．

一方，提案手法が実行時間に影響しなかったアプリケーションは `barnes` であり，TCI 接合の三次元 NoC に対して提案手法が平均 0.2% の速度向上とほとんど性



能が変わらない結果となった。マルチコア環境でのスケーラビリティが最も高かったアプリケーションも *barnes* であることから、このアプリケーションはタイル間での通信をほとんど行わない特徴を持つと考えられる。したがって、提案手法の経路がそもそもあまり利用されないために性能が変わらなかったと考えられる。しかし、TSV を用い垂直方向に十分なバンド幅がある場合と比較しても性能は変わらないことから、提案手法の有効性には影響しない。

## 5. 関連研究

TSV や ThruChip Interface (TCI) による 3 次元積層 LSI に関する研究は多く行われている。文献[11]では、3次元積層技術をマイクロプロセッサに適用する上でのプロセッサ設計に関する議論が行われている。

プロセッサコアに SRAM や DRAM をキャッシュとして積層する研究も多く行われている。Blackらは、プロセッサコアと SRAM や DRAM を積層した際の性能と発熱への影響を検討し、積層アーキテクチャにより性能を 15%向上させることができるが、コア上でピークの発熱が上昇することを明らかにしている[12]。また、DRAM キャッシュを積層する際のアーキテクチャの検討も多く行われている[13,14]。さらに、各階層のキャッシュを eDRAM, MRAM, PRAM といった異なるデバイスにより構成し、3次元積層するといった研究も行われている[15]。

本稿では、TCI ならではの利点を生かしたアーキテクチャ構成を検討し TSV を用いた構成との性能比較を行った点で、従来研究とは異なるものである。

## 6. おわりに

本稿では、誘導結合を用いた三次元 NoC 型メニーコアプロセッサに対し、新たにキャッシュ間で直接通信を行う手法を提案した。また、提案手法をシミュレータに実装し、従来手法とアプリケーションの実行時間の評価を行ったところ、提案手法を実装しない場合と比べて平均 5.6%の実行時間短縮に成功し、TSV と比べても平均 1.1%の実行時間短縮となることが分かった。このことから TCI は TSV と比較して低製造コスト、省面積で同等以上の性能を実現できることが分かった。

今後は局所性を考慮したキャッシュデータの配置方法をシミュレーションに実装し、よりコア数が増えた場合についての性能評価を行う他、提案手法を用いたアーキテクチャ拡張の検討を行う予定である。

## 謝 辞

本研究の一部は、JSPS 科研費 25220002 の助成によ

り行われたものである。

## 文 献

- [1] Pavlidis. V.F. and Friedman. E.G., “3-D Topologies for Networks-on-Chip”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, pp.1081-1090, (2007).
- [2] Jeddeloh, J. and Keeth, B., “Hybrid memory cube new DRAM architecture increases density and performance”, VLSI Technology (VLSIT) 2012 Symposium, pp. 87-88, (2012).
- [3] Y. Koizumi, et al., “Dynamic power control with a heterogeneous multi-core system using a 3-D wireless inductive coupling interconnect”, International Conference on Field-Programmable Technology (FPT), (2012).
- [4] Niitsu, K, et al., “Interference from power/signal lines and to SRAM circuits in 65nm CMOS inductive-coupling link”, Solid-State Circuits Conference, pp. 131-134, (2007).
- [5] 松谷宏紀, 鯉渕道紘, 天野英晴, “クロスバ接続による 3 次元 Network-on-Chip 向け多層型トポロジ”, 電子情報通信学会信学技報, pp. 109-115, (2007).
- [6] S. R. Vangal, et al., “An 80-Tile Sub-100-W TeraFLOPS Processor in 65-nm CMOS”, IEEE Journal of Solid-State Circuits, pp. 29-41, (2008).
- [7] D. Dutoit, C., et al., “A 0.9 pJ/bit, 12.8 GByte/s WideIO Memory Interface in a 3D-IC NoC-based MPSoC”, Symposium on VLSI Technology (VLSIT'13), pp. C22-C23, (2013).
- [8] G. V. der Plas, et al., “Design Issues and Considerations for Low-Cost 3-D TSV IC Technology”, IEEE Journal of Solid-State Circuits, vol. 46, no. 1, pp. 293-307, (2011).
- [9] T. E. Carlson, W. Heirman, and L. Eeckhout, “Sniper: Exploring the level of abstraction for scalable and accurate parallel multi-core simulations”, International Conference for High Performance Computing, Networking, Storage and Analysis (SC), pp. 12-18, (2011).
- [10] N. Barrow-Williams, “A communication characterization of Splash-2 and Parsec”, IEEE International Symposium on Workload Characterization (IISWC), pp. 86-97, (2009).
- [11] G. Loh, et al., “Processor Design in 3D Die-Stacking Technologies”, IEEE Micro. Vol.27, Issue.3, pp.32-48, (2007).
- [12] B. Black, et al., “Die Stacking (3D) Microarchitecture”, 39th International Symposium on Microarchitecture (MICRO'06), pp.469-479, (2006).
- [13] G. Loh, “3D-Stacked Memory Architectures for Multi-Core Processors”, 35th International Symposium on Computer Architecture (ISCA'08), pp.453-464, (2008).
- [14] D.H. Woo, et al., “An Optimized 3D-Stacked Memory Architecture by Exploiting Excessive, High-Density TSV Bandwidth”, 16th International Symposium on High Performance Computer Architecture, (HPCA 2010). pp.1-12, (2010).
- [15] Xiaoxia Wu., et al., “Hybrid cache architecture with disparate memory technologies”, International Symposium on Computer Architecture (ISCA), pp.34-45, (2009).