

DRAM 相互結合型システム向けキャッシュコヒーレンス管理機構の研究

高性能コンピューティング学講座 本多研究室

1353014 佐々木 沢

主任指導教員：本多 弘樹

1 はじめに

CPU のマルチコア化・マルチスレッド化により、単位時間当たりの命令実行数が年々増加している。それに対して、メモリ帯域幅の向上は非常に緩やかであり、CPU がメモリアクセス待ちにより、高い性能を発揮できない問題がある。

DRAM のデータ転送能力不足の問題を踏まえて現在開発が進められている次世代 DRAM 規格に「Hybrid Memory Cube (以下 HMC)」がある [1]。この新しい DRAM では、高い周波数でデータを送受信することができるシリアルリンクを採用し、1 リンクあたりの転送速度を大きく向上できる。また、3 次元積層により増加した入出力端子を活用することで、320GB/s の高速データ通信を実現している。その従来とは異なるインタフェースや特性を持つ DRAM 向けに、システムの構成方式を再設計することで、より高性能なシステムが構築できる可能性が見いだされ、DRAM を相互に結合した相互結合網を共有メモリのように扱うメモリセントリックな接続方式が提案されている [2]。しかし、この接続方式では、CPU 同士が通信する際には、DRAM 同士が接続された相互結合網を介する必要があるため、その頻度によってはレイテンシが大きく増加する問題がある。

本研究ではこの問題に対し、DRAM と CPU 間に導入される相互結合方式に適したキャッシュコヒーレンス機構とキャッシュ機構を検討し、メモリアクセスのレイテンシ削減を狙う。

2 研究の背景

2.1 3次元積層型 DRAM

メモリ帯域幅不足の問題に対して、これまでいくつも研究がなされ、DIMM という形式の中で規格も進化を遂げてきた。

複数の DRAM チップをプリント基板上に並べる DIMM 形式では、プロセスルールの微細化によって、1 つのチップ単位での集積密度向上が非常に困難という問題に直面している。

そこで、Si 貫通電極を用いて、3 次元方向に半導体を集積する技術が注目されている。本技術により、実装面積を抑えながら、チップ間配線長の短縮と多端子化が可能である。

2.2 相互結合型システム

図 1 に HMC の各部構成を示す。

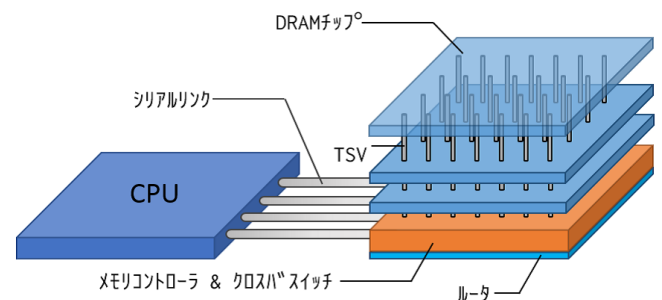


図 1: 次世代 DRAM の構成図

HMC では、3 次元積層技術によって、従来チップセットまたは CPU チップ内に配されていたメモリコントローラが、図 1 のように DRAM 積層チップ内に集積されている。これにより、DRAM へのアドレス/コマンド送信時のクロック制御を、物理的に離れた CPU チップから行う必要がない上に、それぞれの DRAM 自体にルーティング機能があるため、CPU と DRAM 間の距離や EMC による影響を考慮する必要がない。

これらを背景として、Gwangsun Kim らは、従来のチャネルに 2 または 3 つの DIMM を接続する方式ではなく、DRAM を相互に結合した結合網を共有メモリのように扱うメモリセントリックな接続方式を提案した。本手法は、共有メモリの持つプログラミングの容易さと CPU と DRAM 間の通信速度向上という利点を、HMC で実現するための方策を示したが、CPU 間の物理的通信距離が増加し、CPU 同士が通信する際のレイテンシが増加する問題点がある。

3 研究内容

3.1 研究目的

本研究では、メモリセントリックな接続方式を利用したシステムにおいて、通信時のレイテンシを削減することをめざし、CPU 間の通信が発生する条件を抑制するコヒーレンス機構を開発することが目的である。対象となる相互結合型システムの構成図を図 2 に示す。

レイテンシ削減のための手法として、「管理権移譲型機構」を提案する。あわせて、連続した同一データへのアクセスに対するレイテンシの削減手法として、相互結合型の

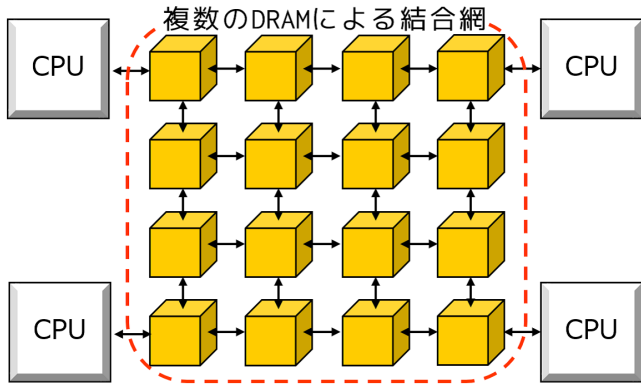


図 2: 相互結合型システム構成図

DRAM 構造を活用した、アクセスコストの低い DRAM に頻繁にアクセスするデータをキャッシュしながら転送する「メモリネットワーク型キャッシュ機構」を提案する。

3.2 管理権移譲型コヒーレンス機構

ここで、本システムにおけるコヒーレンス管理の仕組みを説明する。相互結合網を構成する DRAM には、それぞれ管理 CPU が存在し、対象となる DRAM の読み出し/書き込み時には、それぞれデータの一貫性を管理する CPU への通知プロセスが必要である。そのため、他 CPU が管理する DRAM から高頻度にアクセスする場合、その度に通知プロセスが必要となる。

この通知プロセスを削減するためのアイデアとして、管理権移譲型コヒーレンス機構を開発する。本機構の概要図を図 3 に示す。

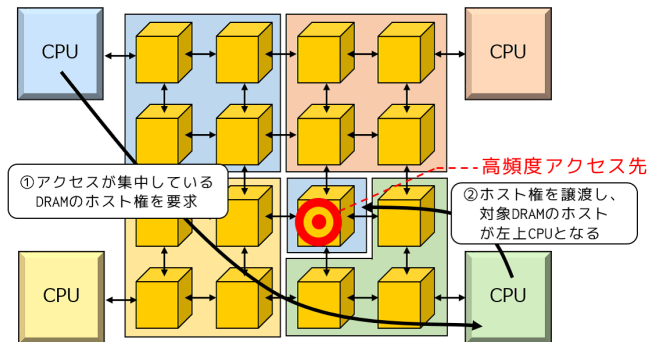


図 3: 管理権移譲コヒーレンス機構の動作

本機構の、通信レイテンシ削減へのアプローチは、各 DRAM において、アクセス頻度が高い CPU がホストになることで、CPU 間通信の発生を、従来のコヒーレンス機構を利用した場合と比較して抑制する。

3.3 メモリネットワーク型キャッシュ機構

たとえ管理権を保有したとしても、その DRAM が物理的に離れた場所にあっては、十分なレイテンシ削減効果が期待できないので、相互結合網を利用したメモリネットワーク向けキャッシュ機構を提案する。

相互結合網に対して CPU は、データのアドレスとコマンドを持つパケットを投入することのみで、目的のデータを取得可能である。それは、各 DRAM のメモリコントローラおよびルータの経路制御によって、データを持つ

DRAM へとパケットが到達し、それを受け取った DRAM が送り元 CPU へとデータを送ることによる。

この際に、物理的に距離があるアクセスコストの高い DRAM へのアクセスはパケット往復による通信レイテンシが大きい。そこで、経路上の各ルータは自身の DRAM 領域を持つことから、データを CPU へ転送する際にキャッシュとしてデータを保存する。その後で、再び同じデータへのアクセスがある場合には、経路上の距離的に近い DRAM からデータを取得できアクセス遅延の削減が期待できる。

4 研究の進捗状況

サイクルレベルシミュレータ gem5 を利用し、仮想的な HMC として、多チャンネル通信可能な DRAM を利用した際の実行性能増加に関して実験した。チャンネル数が 1, 2, 4, 8, 16 の場合の実行性能について図 4 に示す。

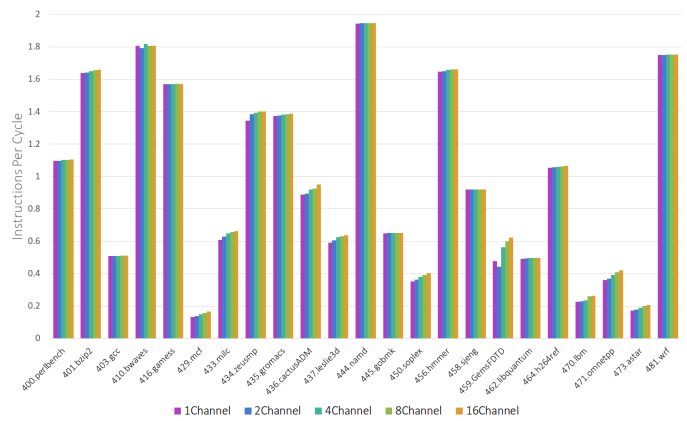


図 4: 利用可能なチャンネル数ごとの実行性能

利用できるチャンネル数が増加すると、IPC は総じて増加する傾向が確認できる。コヒーレンス機構実装により、HMC のバンド幅の活用等を実現し、さらなる実行性能の向上を目指す。

5 おわりに

3次元積層 DRAM を用いた相互結合型システムにおいて、物理的に離れた CPU 同士の通信を抑制することで、レイテンシを削減する方法について提案した。今後は、コヒーレンスプロトコルに関する学習を進めつつ、次世代 DRAM を利用した相互結合型システムをシミュレートする環境構築を進める。

参考文献

- [1] “Hybrid Memory Cube Specification 1.0,” [Online]. Available: <http://www.hybridmemorycube.org/>, Hybrid Memory Cube Consortium, 2013.
- [2] Gwangsun Kim et al., “Memory-centric System Interconnect Design with Hybrid Memory Cubes,” PACT ’13, 2013.