

ヘテロジニアスマルチコアのコア間接続方式に関する研究

高性能コンピューティング学講座 本多研究室

1353012 斎藤 純

主任指導教員：本多弘樹

1 はじめに

近年では、より高性能かつ低消費電力なプロセッサが必要とされている。そこで、命令を逐次実行する低消費電力なインオーダーコアと命令の順番を入れ替えて実行するシングルスレッド性能が高いアウトオブオーダーコアを1つのチップに混載したヘテロジニアスマルチコアが使われ始めている。ヘテロジニアスマルチコアでは、プログラムの実行状況によって実行するコアを切り替える。例えば、負荷の軽い処理をインオーダーコアで処理することで消費電力を削減でき、負荷の重い処理をアウトオブオーダーコアで処理することで高いシングルスレッド性能を実現することができる。

本研究では、アウトオブオーダーコアとインオーダーコア間の接続方式を検討し、高速なコア切り替えを実現しつつ、並列処理が必要な際には両コアで同時に複数スレッドを実行可能なヘテロジニアスマルチコアのコア間接続方式を提案する。

2 研究の背景

ここでは、ヘテロジニアスマルチコアに用いられるインオーダーコアとアウトオブオーダーコア、現在使用されているヘテロジニアスマルチコアの例として ARM 社の Big.Little アーキテクチャを紹介する。またヘテロジニアスマルチコアにおけるコア構成の関連研究について述べる。

2.1 インオーダーコア

インオーダーコアは、命令をプログラムに書かれた順に実行していくことで演算を行う。小規模な回路でコアを構成できるため、消費電力を小さくすることができるがシングルスレッド性能は低い。

2.2 アウトオブオーダーコア

アウトオブオーダーコアは、命令をプログラムに書かれた順ではなく、処理に必要なデータが揃った命令から演算を行う。実行可能な命令から実行していくため、無駄な待ち時間が少なくなり、シングルスレッド性能が高い。一方で命令を一時的にためておくキューなどが必要なことから大規模な回路構成になり消費電力が大きい。

2.3 Big.Little アーキテクチャ

図1に示す Big.Little アーキテクチャ[1]は、アウトオブオーダーコア (Big) とインオーダーコア (Little) を接続したヘテロジニアスマルチコアアーキテクチャであり、処理中

のプログラムの負荷によって実行するコアを切り替えることで、高いシングルスレッド性能を持ちながら低消費電力を実現できる。実行するコアを切り替える際は、L2 キャッシュより下層にあるキャッシュコヒーレントインターコネクトによって、コアの切り替えに必要な情報であるレジスタの値やキャッシュの転送を行う。

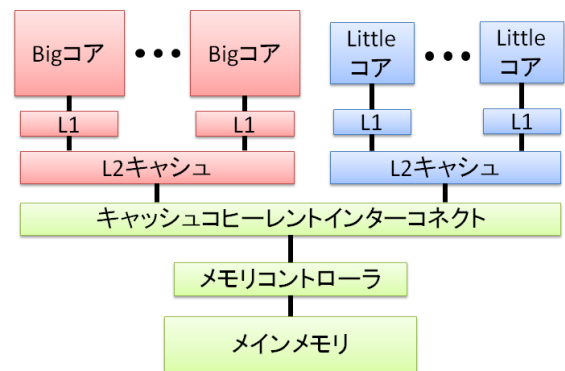


図 1: Big.Little アーキテクチャ

2.4 ヘテロジニアスマルチコア構成の関連研究

ヘテロジニアスマルチコア構成の関連研究として、Lukafahrらが作成したコンポジットコアがある[2]。図2に示すようにコンポジットコアでは、インオーダーコアとアウトオブオーダーコアのL1キャッシュ、分岐予測器、フェッチステージを共有させることで高速なコア切替を実現し消費電力の削減も可能とした。しかしこの共有によって、インオーダーコアかアウトオブオーダーコアのどちらかしか動作させることができず、インオーダーコアとアウトオブオーダーコアを同時実行することはできなくなった。

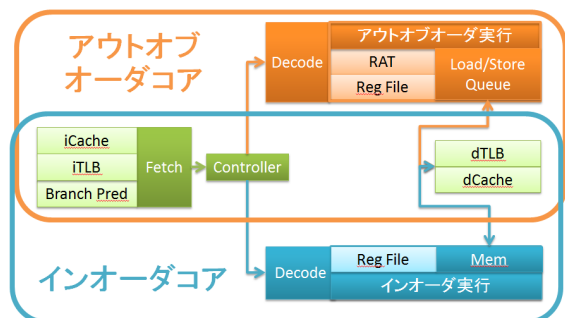


図 2: コンポジットコア

3 新しいコア間接続方式の提案

コンポジットコアでは、コア間で多くの機構を共有することで高速なコア切替を実現したが両コアで複数スレッドを同時に実行することはできないため並列処理が必要な際にプログラムの実行時間が長くなってしまいう問題がある。そこで本研究では、高速なコア切替とコア間で共有する機構を減らしコア切り替えに必要な部分のみを共有をする図3のような新しいコア間接続方式を提案する。新しいコア間接続方式は、高速なコア切替を実現しつつ、並列処理が必要な際にインオーダコアとアウトオブオーダコアの両コアで同時に複数スレッドを実行可能とし、プログラムの実行時間を短くすることができる。

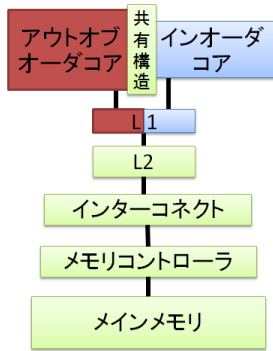


図 3: 提案手法

4 評価環境の準備

新しいコア間接続方式の比較対象となるヘテロジニアスマルチコアをシミュレーションする前準備として、図4のL2 キャッシュをコアごとに分割したホモジニアスマルチコアモデルとL2 キャッシュを全コアで共有したホモジニアスマルチコアモデルを作成し、1 コアだけ SPEC2006 ベンチマークを実行するシミュレーションを行った。シミュレータには gem5 シミュレータ [3] を用いている。シミュレーション結果を図5に示す。横軸はベンチマーク名、縦軸は各コアでベンチマークを実行した際のIPCを示している。理論的には、すべてのベンチマークでL2 キャッシュ共有モデルとL2 キャッシュ分割モデルのIPCは同じ数値になるはずだが、一部のベンチマークでL2 キャッシュを分割するとIPCが低下した。現在、モデルの正当性も含めて原因を調査している。

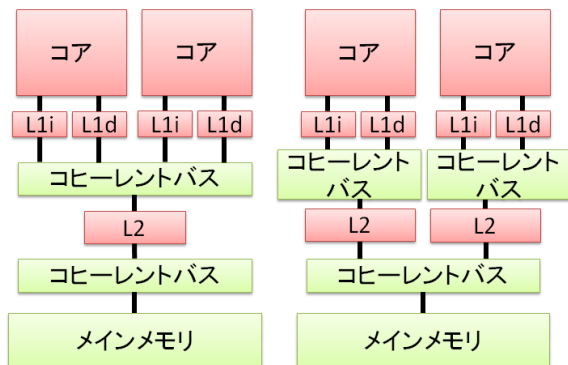


図 4: L2 キャッシュ共有モデルとL2 キャッシュ分割モデル

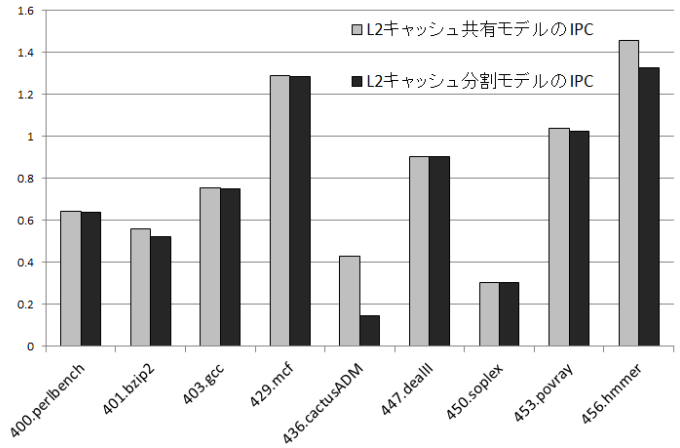


図 5: シミュレーション結果

5 今後の予定

ヘテロジニアスマルチコアのコア間接続アーキテクチャの提案に向け、今後以下を行う予定である。

1. 新しいコア間接続方式の比較対象となるヘテロジニアスマルチコアの実装、評価
2. 新しいコア間接続方式の更なる考案
3. 提案手法をシミュレータ上に実装、評価

1. については、提案手法によって本当に高速にコア切替できるようになったのか判断する指標となるヘテロジニアスマルチコアのモデルをシミュレータ上で作成しその正当性についてベンチマークを実行して確認する。

2. については、CPU やキャッシュに関する論文や文献を読み、知識を深めることでより良い新しいコア間接続方式の更なる考案をする。

3. については、考案した提案手法をシミュレータに実装し、1. で作成した指標となるモデルとベンチマーク結果を比較することで提案手法の有効性を確認する。

参考文献

[1] "big_LITTLE_Final_Final.pdf"
http://www.arm.com/ja/files/downloads/big_LITTLE_Final_Final.pdf

[2] Andrew Lukefahr et al., "Composite Cores: Pushing Heterogeneity into a Core" Proc. of the 45th Annual International Symposium on Microarchitecture. 2012. pp.317-328

[3] Nathan Binkert et al., "The gem5 Simulator" ACM SIGARCH Computer Architecture News archive