

# 誘導結合型三次元積層LSIにおける モジュール構成方式の研究

電気通信大学 大学院情報システム学研究科  
高性能コンピューティング学講座 本多研究室

1353030 松村正隆

# 研究背景 - プロセッサが抱える問題 -

## 1. 半導体の微細化の限界

これまでのプロセッサ高性能化の原動力だった微細化が、遂に原子レベルに達してしまった。

## 2. メモリウォール問題

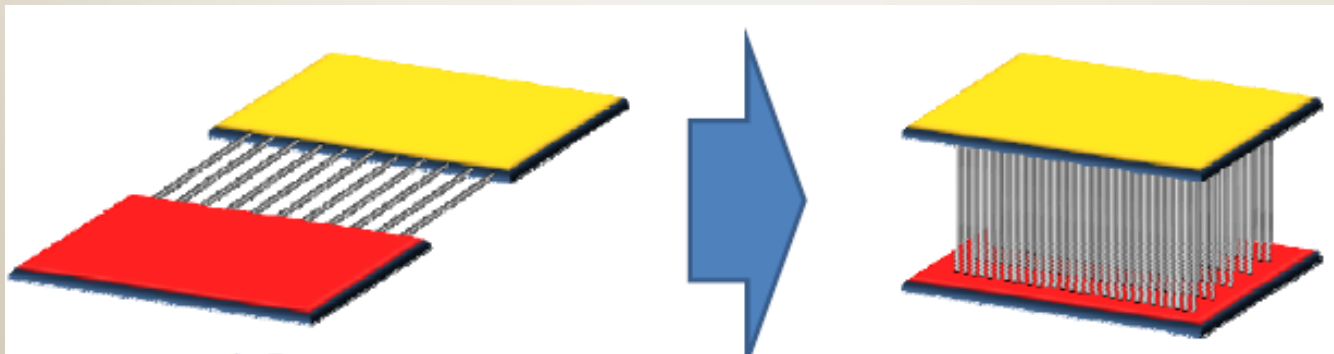
CPUのスループットが年々上昇しているのに対し、メモリ側のデータ伝送速度はそれに応えられていない。



微細化に頼らない、新たな性能向上法が模索されている

## 研究背景 -チップの3次元積層-

- 従来は平面上で接続していたCPU-DRAM間を縦方向に立体につなぐ技術。
- 配線長の短縮と、配線本数の増加により、低消費電力で高速なデータ転送が可能になる。



従来手法

三次元化

# 研究背景 -チップの積層方法-

## 3次元積層における代表的なチップ間接続方法

### 1. TSV (Through-Silicon Via)

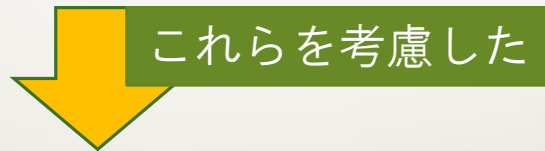
チップの基盤に無数の穴を空け、そこに配線を通す方法。  
極めて高速なデータ伝送が可能だが、非常に高価。

### 2. コイルによる誘導結合

チップにコイルを埋め込み、無線通信を行う方法。  
配線が固定されないため、チップを積層するだけで利用可能。  
将来的にはユーザ自身でのプロセッサ作成が可能に？

# 研究背景 -誘導結合方式の課題-

- TSVと比較して
  1. チップ間のデータ伝送速度は低速
  2. チップの種類や枚数の組み合わせが多い
  3. 消費電力の制約が大きい

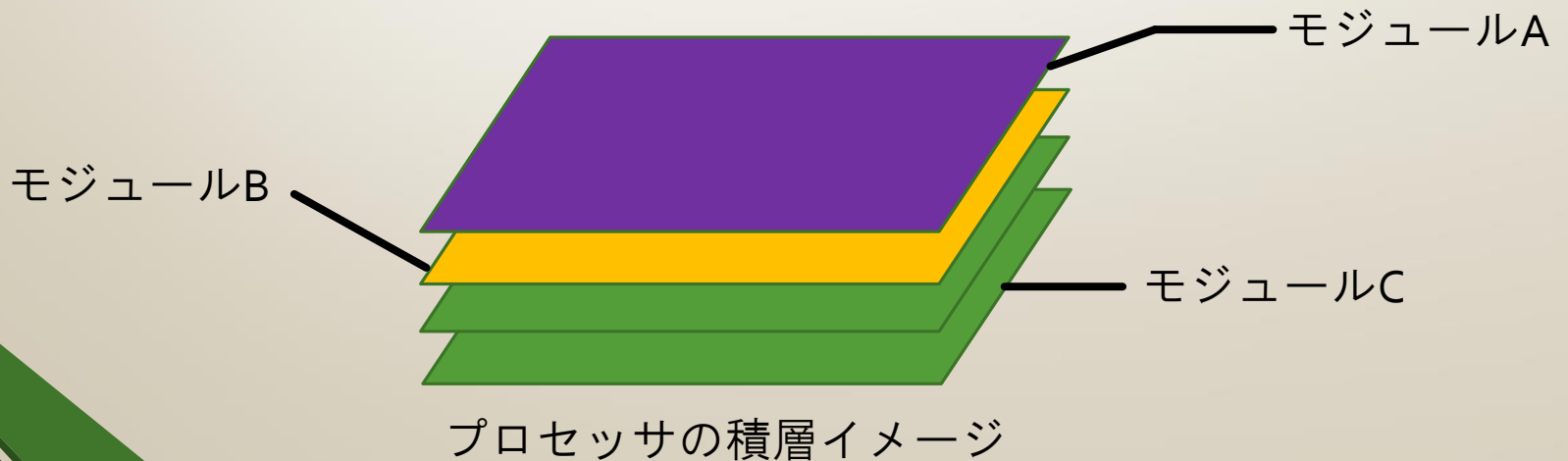


- プロセッサにおける最適なモジュール構成が判明していない。

※モジュール：CPU, キャッシュ等を載せたチップを指す。

# 研究目的

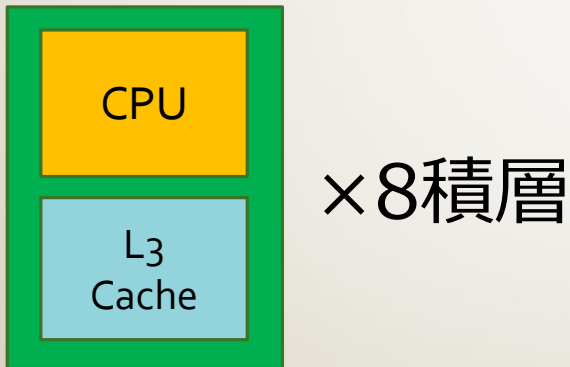
- 誘導結合型3次元積層プロセッサのモジュールに対し、アーキテクチャの観点から考案・評価を行う。
- 方針として、いくつかの汎用モジュールを考案し、それらを組み合わせてプロセッサを構成する。



# 提案モジュール例

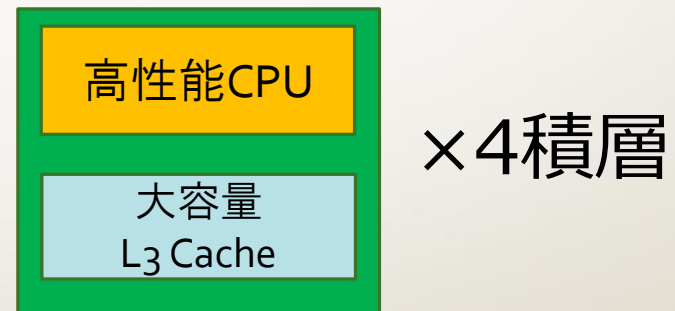
## 並列アプリケーション向け

- ▶ なるべく多くのCPUを載せて、並列実行可能数を増やす。



## 逐次アプリケーション向け

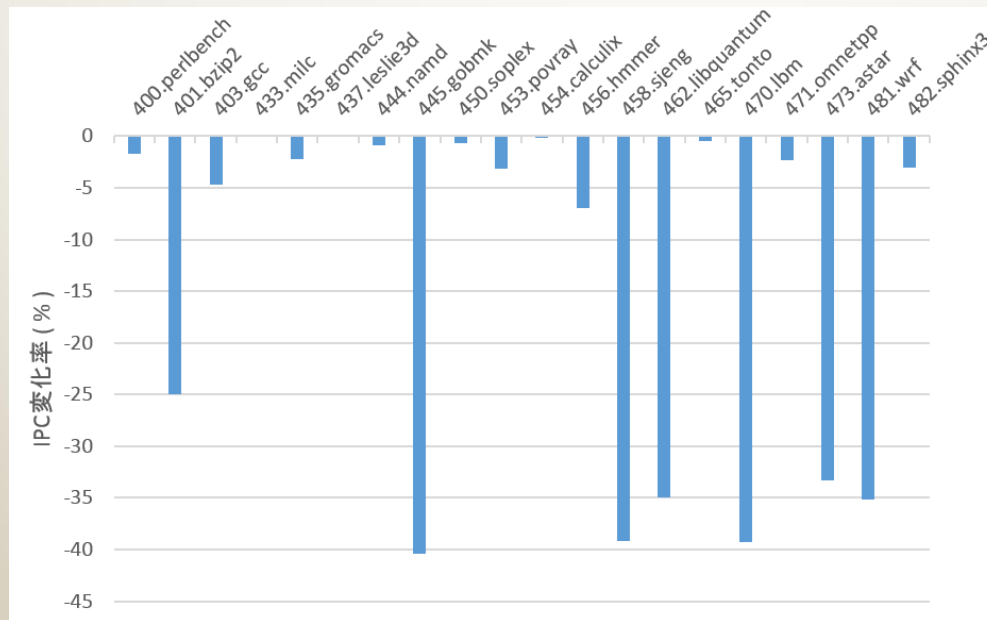
- ▶ 少数・高性能のCPUを載せて、逐次実行を高速に行う。



更に、多くのキャッシュを必要とするアプリケーションには大容量キャッシュを追加することで、計算効率の良いシステムを柔軟に構築できる

# 予備実験

- シミュレーション上で逐次アプリケーション向けのモジュールをモデル化し、評価を行った。
  - CPUとL3キャッシュを用意し、SPEC2006ベンチマークでIPCをL3キャッシュ非搭載のプロセッサと比較した。



L3キャッシュ搭載時のIPC変化率



# 予備実験 考察

- 予想と正反対に、L3キャッシュを追加するとIPCが下がった。
- 考えられる原因
  1. シミュレーション上でのモデル化がうまくできていない
  2. パラメータ設定が不完全

今後も調査を続けていく予定

# 進捗と今後の予定

## 進捗

- シミュレーション上で様々なモジュールのモデル化を行い、性能を測定中。

## 今後の予定

- 更に多くのモジュールを考案する
- それらのモジュールを用いた場合の性能・電力・コストを評価する。