

誘導結合型積層 LSI 向けモジュール選択最適化によるシステム構築の研究

1353028 朴 傑

高性能コンピューティング学講座 本多研究室

主任指導教員：本多 弘樹

1 はじめに

近年、メモリやマイコンをはじめとした複数のモジュールをパッケージ内で三次元方向に積層して実装する技術が注目されている。

LSI の三次元積層には様々な技術があるが、配線が少なく、製造コストも抑えられる誘導結合を用いたモジュール間ワイヤレス接続を利用して LSI を実装する研究も行われている。ワイヤレス接続を利用することで、製造コストの削減や配線遅延を削減でき、また、必要に応じて製造後であってもモジュールの入れ替えができる利点がある。

本研究では、誘導結合型積層 LSI において、積層枚数や結合可能モジュール等の物理制約や消費電力制約のもと、各ユーザのターゲットアプリケーション群に対して最適なモジュール構成を選択し高実行性能を達成するシステム構築手法を検討する。

2 研究背景

従来の二次元 LSI 構成では回路規模が大きくなるほどチップ面積は増加し、回路ブロック間の比較的長い配線でのデータ転送遅延、電力消費が問題になっている。三次元積層 LSI では、メモリやマイコンをはじめ、回路ブロックを構成するモジュールを切り離し、複数のモジュールをパッケージ内で三次元方向に積層して実装することで、配線長が短くなり、通信レイテンシや消費電力を削減できる。

モジュールの結合方法には次の二つが用いられている。

(1) シリコン貫通ビアによる三次元積層 LSI

従来の三次元積層 LSI では図 1 の左側のようにモジュール間をシリコン貫通ビア TSV (Through Silicon Via) で接続する方法が用いられている。しかし、この方法では積層するモジュールダイにシリコン貫通ビアを設置するための場所を用意する必要があり、モジュールのダイ上に無駄な場所が生じてしまう。また一旦積層してしまえばその後でモジュール構成を変えることは非常に困難である。そのため実行するアプリケーションによって構成を最適化するのには難しい。

(2) 誘導結合型積層 LSI

近年、モジュール間を誘導結合によるワイヤレス通信で結合する誘導結合型積層 LSI の研究が行われている。図 1 の右側に示すように誘導結合型積層 LSI は、使用する

モジュールの配線層を用いてコイルを形成し、コイル間の誘導結合を利用してモジュール間通信を行う。三浦らの研究 [1] から、誘導結合を用いたワイヤレス通信は従来の TSV 方式より通信時のレイテンシが少ないことがわかっている。シリコン貫通ビアの設置に必要なダイ面積よりコイルの設置に必要なダイ面積が少ないことから、モジュールチップ面積の削減も期待でき、設計の容易さから製造コスト削減の効果も期待できる。また、必要に応じてモジュールの入れ替えが自由に行える。これらの利点から、今後誘導結合型積層 LSI が広く利用されると考えられる。

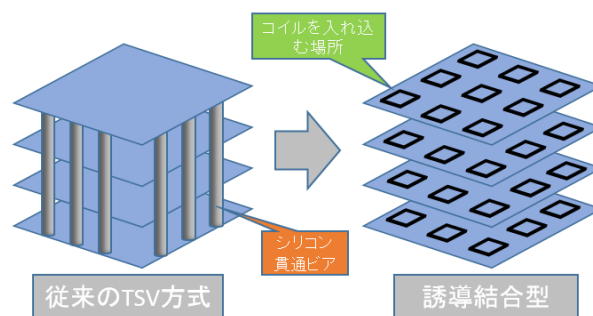


図 1: TSV 方式での LSI と誘導結合型 LSI の比較

3 研究内容

3.1 モジュール組み合わせ最適化

本研究では誘導結合型積層 LSI において、物理制約や消費電力制約のもと、ターゲットアプリケーション群に対して実行性能が最大になるようにモジュール選択を最適化する手法の構築を目標とする。モジュールにはコアだけで構成されているモジュール、キャッシュメモリだけを積んだモジュール、コアやキャッシュメモリのバランスが取れたモジュール等、多くの種類がある。アプリケーション群の特性によって、実行に適したモジュールの組み合わせは異なる。図 2 で示す例のように、利用できるモジュールから、組み合わせ方法は複数存在するが、対象アプリケーション群に対し、各種制約（コスト制限、電力制限等）のもと、性能が最も高くなるように組み合わせ方法を選びシステムを構築する。

3.2 耐故障性を持つモジュール配置の検討

モジュールを積層後、利用時にモジュールや誘導結合部分が故障する可能性がある。誘導結合型積層 LSI は必

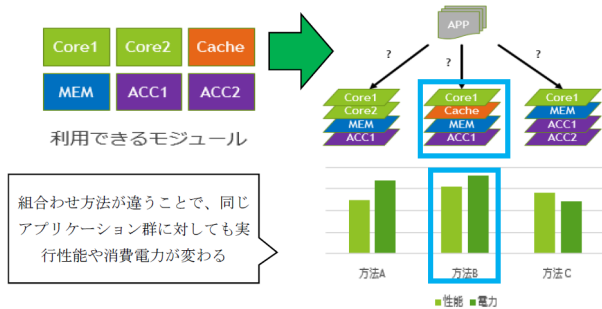


図 2: 最適モジュール組み合わせ選択

要に応じてモジュールの入れ替えが自由に行えるため、モジュール故障発生時に故障したモジュールを入れ替えることもできる。しかし、故障した直後に実行を継続しなければならずモジュールの交換ができない場合や、コスト面で簡単に交換できない場合も考えられる。ここで、例えば図 3 に示す例のように、利用モジュールの中でコアが搭載しているモジュールが複数あり、その中の 1 つが故障したとしても、他のコアに処理を依頼し、システムとして使い続けることが可能である。本研究では、どこかのモジュールに故障が発生しても、縮退して実行できるようなモジュールの組み合わせを検討する。

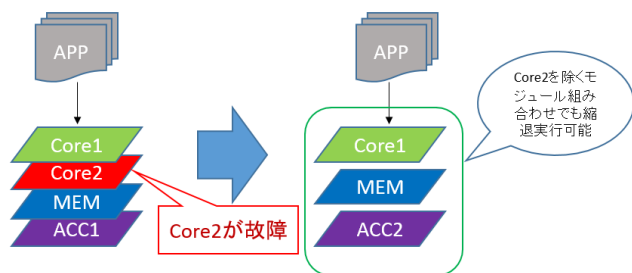


図 3: モジュール故障時の縮退実行

4 進捗状況

これまで、研究を進めるために必要な知識の習得や、評価実験を行うためのシミュレーション環境の習得を行ってきた。評価環境はサイクル精度のシミュレータである Gem5 を用いる。現在、種々のパラメータ (キャッシュ容量、コア数、メモリ容量等) が実行アプリケーションの性能に与える影響を調査している。

SPEC CPU2006 の中から 3 つのベンチマークを用いて、コア数を 1、L1 データキャッシュサイズを 64KB、L1 命令キャッシュサイズを 32KB に設定し、L2 キャッシュの容量を 128KB から 8MB まで変化する場合の性能変化を図 4 に示す。

いずれのベンチマークにおいても、キャッシュ容量が増えると共に IPC の向上も実現できたが、一定程度の容量以上に増やしてもその性能向上はわずかである。Pejman Lotfi-Kamran らの研究 [2] によると、性能向上率がわずか

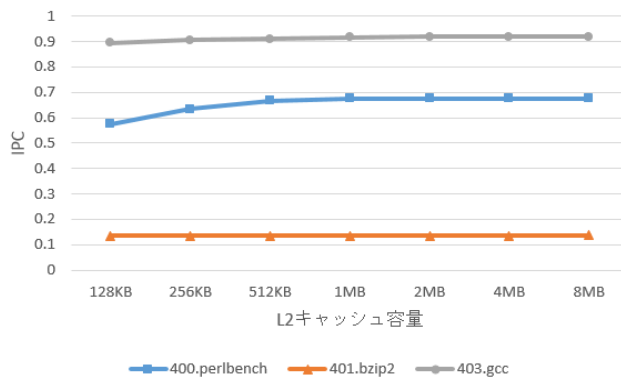


図 4: L2 キャッシュ容量変化時の IPC 変化

にもかかわらず、キャッシュ容量やコア数、メモリ容量などを増加したら、コストパフォーマンス的には低下してしまい、消費電力の増大も問題となることがわかっている。そのため、コストパフォーマンスも考慮する必要がある。

5 関連研究

松村らの研究 [3] では、TSV 方式での積層 LSI において、モジュール間のデータ転送にかかる消費電力を最小化することを目標とし、配置探索問題をモンテカルロ法によって解いた。これは本研究の消費電力を制約以下に抑えながら最適なモジュール組み合わせを選択する面から参考になる。

6 まとめと今後の予定

ターゲットアプリケーション群の実行に対し、誘導結合型積層 LSI において、制約の下、最適なモジュールを選択して構築することを目指して研究を進めている。

現在までは必要知識の習得や予備実験を行ってきたが、今後はシミュレータ上に誘導結合型積層 LSI を再現する環境整備、および制約を具体的に決定し、それによって提案手法の確定や定式化などを行う予定である。

参考文献

- [1] 三浦 典之, 黒田 忠広, “三次元実装のための低電力・広帯域誘導結合通信.”, エレクトロニクス実装学会誌 11(3), pp.174-181, 2008-05-01.
- [2] Pejman Lotfi-Kamran, Boris Grot, Michael Ferdman, Stavros Volos, Onur Kocberber, Javier Picorel, Almutaz Adileh, Djordje Jevdjic, Sachin Idgunji, Emre Ozer, Babak Falsafi, “Scale-out processors.”, Proceedings of the 39th Annual International Symposium on Computer Architecture, pp.500-511, June 2012.
- [3] 松村 雄貴, 三好 健文, 吉永 努, 入江 英嗣, “3次元積層向けブロック配置問題の検討.”, 情報処理学会研究報告. 計算機アーキテクチャ研究会報告 2011-ARC-195(10), pp.1-6, 2011-04-06.