

Dark Silicon and the End of Multicore Scaling

著者： Hadi Esmaeilzadehy, Emily Blemz, Rene St. Amantx, Karthikeyan Sankaralingamz, Doug Burger
 出典： *Processor of the 38th International Symposium on Computer Architecture (ISCA '11) PP.365-376,2011.*
 発表者： 本多・近藤研究室 1253016 松本 洋平

1 はじめに

1980年代からプロセッサの性能向上は動作周波数の向上とトランジスタ数の増加により支えられてきたが2000年代に動作周波数の向上が頭打ちになりマルチコアの時代にシフトした。しかし、今後もコア数を増やしていくとダークシリコンと呼ばれる“ハードウェアは搭載されているが動作させることができない”部分が発生してしまう。

本論文ではプロセッサの性能と消費電力をデバイスモデル・コアモデル・マルチコアモデルにモデル化して、それを基にプロセッサの性能と消費電力の未来を予測する。それらから得られたデータをまとめることにより、マルチコアではない次世代のプロセッサアーキテクチャの必要性を指摘する。

2 スケーリング

プロセッサの性能向上はデバイススケーリング・コアスケーリング・マルチコアスケーリングの3つのスケーリングの相乗効果で決まる。以下、それぞれの概要を述べる。
デバイススケーリング

ここでのデバイスとはプロセッサに使われているトランジスタの事を言う。トランジスタは小さければ小さいほど高速化・低電力化するため、できる限り小さく製造できるよう技術開発が進められている。現在のトランジスタのゲート長は32nmまで進んでいるが、3次元型トランジスタの採用により2024年までに8nmまで微細化が継続される見込みである。

コアスケーリング

シングルコアは消費電力と性能またはコア面積と性能がトレードオフの関係にある。また、シングルコアの性能向上に関する経験則としてコアの面積を2倍にしても性能は1.4倍にしかないポラックの法則が知られている。これはシングルコアの性能向上には多くのトランジスタをつぎ込む必要があり、消費電力効率および設計効率が悪いことを意味する。そのため、トランジスタは余っていてもコア内のハードウェアを追加して性能を向上させることが難しくなっている。

マルチコアスケーリング

動作周波数向上の限界とポラックの法則よりシングルコアの性能向上が頭打ちとなっている。そこで1つのチッ

プのコア数を増加させるマルチコア化による性能向上にシフトした。しかし、コアを増やせば増やすほど性能向上するわけではない。アムダールの法則によると、例えば80コアCPUの場合、実行コードの並列化の割合が95%のとき性能向上は約16.5倍にしかない。つまり無秩序にコアを増やすことによる性能向上は見込めないことがわかる。

これらのスケーリングによるプロセッサの性能のモデル化について次章以降で詳しく述べる。

3 デバイススケーリングモデル

デバイススケーリングモデルではプロセッサのコア面積と消費電力を見積もる。ITRS (国際半導体ロードマップ委員会) が予測したデバイスのパラメータ [1] を用いて2024年まで年代ごとに動作周波数やトランジスタサイズを見積もることができる。また、消費電力に関しては式(1)を使用することにより求めることができる。

$$P = \alpha CV_{dd}^2 f \quad (1)$$

P : プロセッサの消費電力, α : スイッチング確率,
 C : プロセッサの負荷容量, V_{dd} : 動作電圧, f : 動作周波数

4 コアスケーリングモデル

コアスケーリングモデルではコア面積/性能 [$A(q)$] と消費電力/性能 [$P(q)$] のトレードオフの関係を見積もる。 $A(q)$ と $P(q)$ は本論文が提出された時点で最先端の45nmプロセスで製造された20個のプロセッサのデータをもとに最小二乗法により算出する(図1)。それぞれの曲線にデバイススケーリングモデルを適用することで2024年までの $A(q)$ と $P(q)$ を年代ごとに見積もることができる。

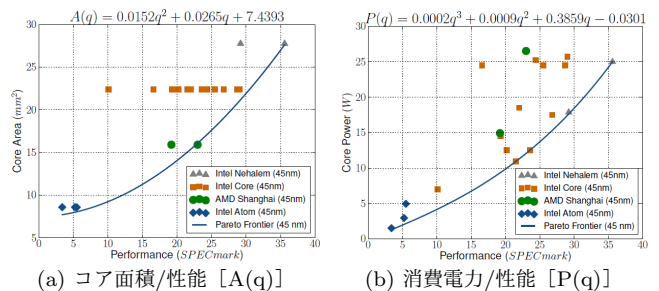


図 1: 45nm で製造されたプロセッサのデータ

5 マルチコアスケーリングモデル

マルチコアスケーリングモデルでは動作周波数・アプリケーションの特性などを考慮したマルチコアの処理性能を見積もる。

1. シングルコアの使用率：まず式 (2) からコア間でのメモリアクセスの競合を考慮したシングルコアの使用率 (η) を求める。

$$\eta = \min\left(1, \frac{T}{1 + t \frac{r_m}{CPI_{exe}}}\right) \quad (2)$$

t : 平均メモリアクセスタイム, T : コア毎のスレッド数
 r_m : 命令がメモリアクセスをする割合, CPI_{exe} : 一つの命令実行に必要なクロック数

2. マルチスレッドの性能：上記の式 (2) を利用して式 (3) ではマルチコアの命令処理能力とメモリアクセスの帯域とのボトルネックとなる方を取ることでマルチコア全体で1秒間に処理できるスレッド数 ($Perf$) を求める。

$$Perf = \min\left(N \frac{freq}{CPI_{exe}} \eta, \frac{BW_{max}}{r_m \times m \times b}\right) \quad (3)$$

N : コアの数, $freq$: コアの動作周波数, BW_{max} : メインメモリの帯域 (GB/s), m : キャッシュメモリのミスヒット率, b : バイト幅 (B)

3. マルチコアの性能予測：最後に上記の式 (2), (3) と文献 [2] より得られた並列化コードの割合 f のパラメータを利用することで、ベースとなるプロセッサの性能 ($perf_B$) と性能を見積りたいプロセッサとの相対性能を求める。性能を見積りたいプロセッサのうち逐次処理部分に関する性能 ($perf_S$) とし、並列処理部分に関する性能 ($perf_P$) とする。ここで逐次処理に関する性能比 (S_{serial}) は $S_{serial} = perf_S/perf_B$ より求めることができる。並列処理に関する性能比 ($S_{parallel}$) も同様に $S_{parallel} = perf_P/perf_B$ で求めることができる。以上より、逐次処理と並列処理の両方を考慮したプロセッサの相対性能は並列化コード部分の割合 f を用いて式 (4) より求めることができる。

$$Speedup = 1 / \left(\frac{1-f}{S_{Serial}} + \frac{f}{S_{Parallel}} \right) \quad (4)$$

6 性能評価とダークシリコン

3章,4章,5章で述べた各スケーリングモデルに対して文献 [1] と文献 [2] のパラメータを当てはめ、性能向上のベースとなるプロセッサを 45nm プロセス世代の Nehalem に、また最大消費電力を 125 W に設定して将来予測をした結果を図 2 に示す。図 2 より今後もマルチコアによる性能向上がある程度は継続されることがわかる。しかし、並列化できる部分の割合が少ないアプリケーションの場合は 45nm プロセス世代に対して、8nm プロセス世代になっても 1.5 倍程度しか性能が向上しない。

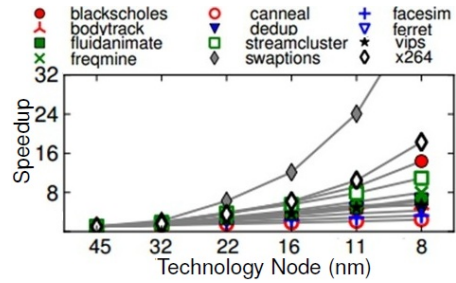


図 2: マルチコアによる性能向上の将来予測

図 3 は、プロセッサ中で搭載されているにも関わらず、有効に使われていないトランジスタの割合の将来予測を各アプリケーション毎に示したものである。並列化率が高い例外的なアプリケーションの 1 つは、ほとんどコアを使い果たしているのがわかる。しかし、ほとんどのアプリケーションでは 10 年後には全体の 60% 以上が有効に使われない。この利用されないプロセッサのコア面積がダークシリコンと呼ばれる。

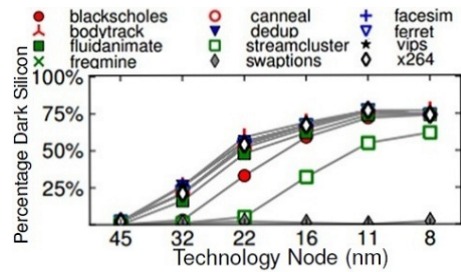


図 3: 使われないトランジスタの将来予測

特に将来的には消費電力、熱の問題からもダークシリコンの問題が深刻化する可能性がある。例えば 45nm から 11nm にデバイススケーリングした時は、本来であれば面積が 1/4 になり搭載できるトランジスタは 4 倍になるが、同じ消費電力の制約下ではチップの 25% しか動作させることができなくなり、残りの 75% が全く動作させることが出来ないダークシリコンとなる。

7 おわりに

マルチコアによる性能向上はここ数年では有効な性能向上手段であった。今後もプロセッサの性能向上は緩やかに続くがダークシリコンや並列処理の問題を抱えたままでは 10 年後にプロセッサの性能向上が止まるのは避けられない。以上より、マルチコアではない次世代のプロセッサアーキテクチャの開発が求められる。

参考文献

- [1] ITRS. International technology roadmap for semi-conductors, 2010 update, 2011.
URL <http://www.itrs.net>.
- [2] C. Bienia, S. Kumar, J. P. Singh, and K. Li. The PARSEC benchmark suite: Characterization and architectural implications. In PACT'08.