

A Comprehensive Approach to DRAM Power Management

著者: Ibrahim Hur and Calvin Lin

出典: *The 14th International Symposium on High-Performance Computer Architecture pp.305-316. 2008.*

発表者: 高性能コンピューティング学講座 本多・近藤研究室 1053010 坂田 英

1 研究の概要

コンピュータシステムにおける消費電力の内、メモリチップが占める割合は約35%と非常に大きく、プロセッサとほぼ同様の電力を消費している。そのため、半導体デザイナーは、性能を維持しつつ消費電力を抑える方法を探している。しかし、性能を追求すると消費電力が大きくなり、省電力化を追求すると性能が落ちることから、消費電力と性能の間にはトレードオフの関係がある。

本研究では、DRAMの消費電力を削減するために、メモリコントローラに注目し、新たな2つの省電力化手法を提案する。提案手法により、既存のシステムと比べ、エネルギー効率が最大46.1%改善され、性能低下率は2.7%以内に抑えることができた。

2 省電力化に関する従来研究

2.1 DRAMの消費電力削減手法

Delaluzらは、DRAMモジュールの消費電力削減を目的に、コンパイル時にDRAMの電力を制御するコードを埋め込むソフトウェア的な手法と、DRAMのアクセスを監視する回路を用いるハードウェア的な手法を提案した[1]。この2つを併用することで、消費電力を平均64%削減した。しかし、この手法は、システムとアプリケーションに依存したしきい値を使用する必要があり、すべてのコンピュータシステムに実装することは難しい。

また、Dynamic voltage scalling, Dynamic frequency scallingなどのスロットル制御による消費電力削減手法も提案されている。これらは、動作周波数や動作電圧を制御することにより、消費電力の削減が可能であるため、組み込みシステムにとって有効な手法である。しかし、タスクのコンテキストスイッチが起きる度に最適な動作周波数を計算する必要があるため、あまり現実的ではないという課題がある。

2.2 従来研究と本研究の位置づけ

前節で述べた従来研究の課題を踏まえ、本研究では、DRAMの消費電力効率を改善するために、性能低下を抑えつつ、消費電力が削減可能なパワーモード制御方法、

および任意のDRAMの消費電力を一定以下に抑えるスロットル制御のメカニズムを提案する。

3 従来のメモリコントローラ

新たな提案手法を実装するうえで、ベースとなるメモリコントローラとして、以下の図1に示すIBM Power5+を用いた。以下にIBM Power5+メモリコントローラの各部を説明する。

- Reorder Queues
プロセッサから送信されたRead/Writeリクエストを保持する。
- Scheduler
Reorder Queuesからあるポリシーに基づいてRead/Writeリクエストを選択し、CAQに送信する。
- Centralized Arbitrator Queue(CAQ)
Schedulerから送信されたコマンドをFIFO順でDRAMに送信する。

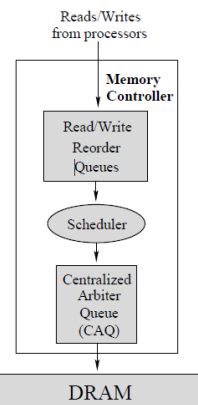


図1: The IBM Power5+ Memory System

次章以降では、上記のIBM Power5+のメモリコントローラに対して行った提案手法の実装について述べる。

4 Power-up/downメカニズム

4.1 Queue-Aware Power-down Mechanism

Queue-Aware Power-down Mechanismは、メモリコントローラ内のRead/Writeコマンドを制御する手法であ

り、各 DRAM ランク (DRAM モジュール) ごとに設ける、Rank counter と Rank status bit の 2 つの要素によって構成されている。

Rank counter は、CAQ から各ランクへ Read/Write コマンドが出力されるたびに、そのコマンドの完了までに必要なサイクル分増加する。例えば、CAQ から処理に 50 クロックサイクルかかる Read/Write コマンドが出力された場合、Rank counter に 50 がセットされる。その後、クロックサイクル毎に Rank counter を 1 ずつ減らし、Rank counter が 0 になった時、Power-down コマンドを生成し、当該ランクを省電力モードに移行させるとともに、Rank status bit に 1 をセットする。

Rank status bit は、DRAM のランク状態を確認するためにあり、Rank status bit が 1 の場合、そのランクが省電力モードであることを意味する。CAQ に Read/Write コマンドが入力されたら、Power-up コマンドを生成し、Rank status bit に 0 をセットし、省電力モードから抜ける。

4.2 Power-Aware Scheduling

本研究では、スケジューリング方法として、Adaptive History-Based scheduler (以下、AHB-scheduler) [2] を用いた。AHB-scheduler は、少し前のスケジューリング結果の履歴をベースとして、コマンドスケジューリングを行うことで、メモリアクセスレイテンシの短縮を狙うものである。

Power-Aware Scheduling は、この AHB-scheduler に、Reorder Queues 内の同一ランクへのコマンドをグループ化する機能を追加する。これにより、CAQ から同じランクへ連続的に Read/Write コマンドを発行することができ、Power-up/down の操作が減ることで、消費電力効率が向上する。

5 適応スロットル制御メカニズム

5.1 Adaptive Memory Throttling

Adaptive Memory Throttling では、電力しきい値とアプリケーションのメモリアクセス情報を用い、遅延を挿入することでスロットル制御を行う。これにより、DRAM の稼働時間を低減させ、消費電力を一定以下に抑えることを試みる。以下の図 2 に示すように、メモリバス上のトラフィックをクロック時間 10,000 サイクルごとに T-cycle 分制限することを考える。

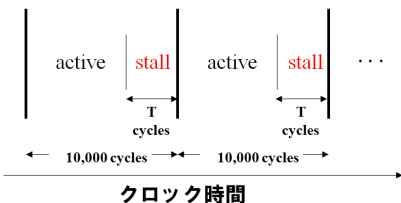


図 2: クロック時間毎のスロットル制御

5.2 T-cycle の設定

T-cycle を決定するために、Stream ベンチマークを用い、スロットル制御によって DRAM の消費電力がどのよ

うに変化するかを調べるための予備実験を行った。予備実験の結果は以下の図 3 に示す。予備実験の結果から、電力しきい値を 40[W] に設定した場合、すべてのアプリケーションを 40[W] 以下で稼働させるためには T-cycle を 500 ~ 5000 サイクルに設定すればよいことがわかった。

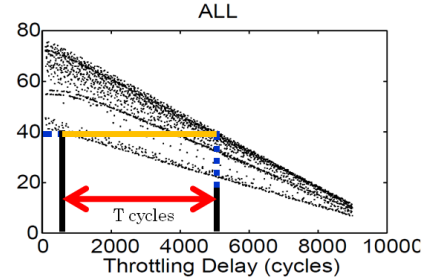


図 3: Stream ベンチマークによる予備実験結果

6 シミュレーション結果

IBM Power5+システムと Queue-Aware Power-down Mechanism および Power-Aware Scheduling を実装したシステムをシミュレーションによって比較した。評価にあたって、使用したベンチマークは Stream, NAS, SPEC2006fp, commercial Benchmarks を用いた。以下に示す表 1 が、比較結果である。電力消費量を比較すると、全てのベンチマークにおいて、本研究で提案した手法を実装したシステムの方が低くなり、性能低下率は 2.7% (Stream) まで抑えることができた。

表 1: 従来のものと提案手法を実装したシステムの比較結果

Benchmark	Power Consumption (baseline) (Watts)	Power Consumption (our method) (Watts)	Power Reduction (%)	Performance Degradation (%)	Energy Efficiency Improvement (%)
Stream	65.2	53.0	18.7	2.7	18.2
NAS	44.1	34.5	21.9	1.2	21.7
SPEC2006fp	35.6	19.1	46.4	0.8	46.1
Commercial	36.9	23.1	37.3	0.6	37.1

7 結論

本研究では、DRAM の消費電力削減方法として、IBM Power5+メモリコントローラをベースとし、新たな 2 つの省電力化手法を追加した。その結果、消費電力量が削減され、エネルギー効率では最大 46.1% 改善された。また、性能低下率では 2.7% (Stream) まで抑えることができ、SPEC2006fp, commercial Benchmarks では 1.0% 以下と、ほぼ既存のシステムと変わらない性能を実現できた。

参考文献

- [1] V. Delaluz, M. Kandemir, N. Vijaykrishnan, A. Sivasubramanian, and M. Irwin. "DRAM energy management using software and hardware directed power mode control." *The 7th International Symposium on High-Performance Computer Architecture*, pp.159-170, 2001.
- [2] I. Hur and C. Lin. "Adaptive history-based memory schedulers." *Proceedings of the 37th Annual ACM/IEEE International Symposium on Microarchitecture*, pp.343-354, 2004.